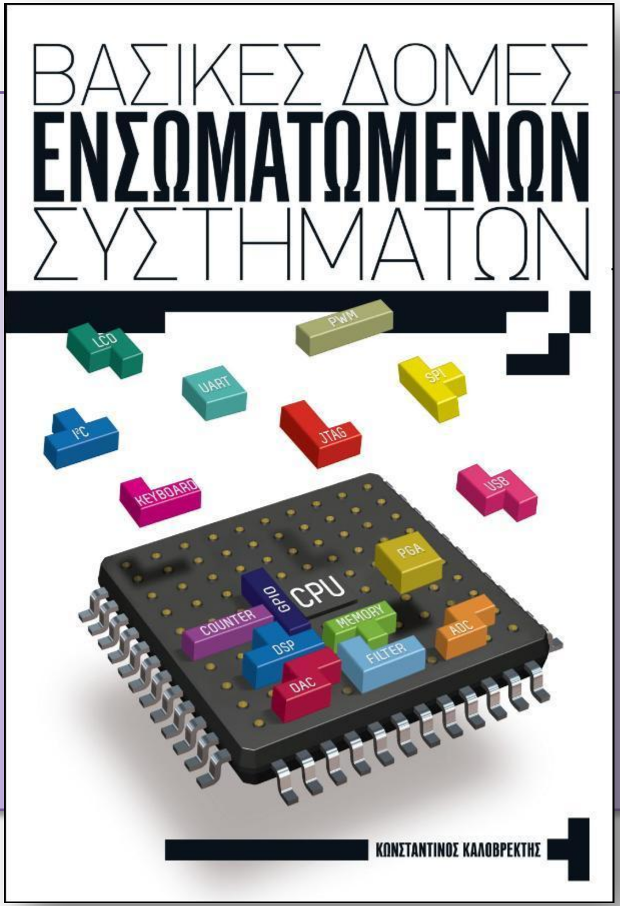
Ενσωματωμένα Συστήματα

Οι διαφάνειες αποτελούν υλικό διδασκαλίας του συγγράμματος:

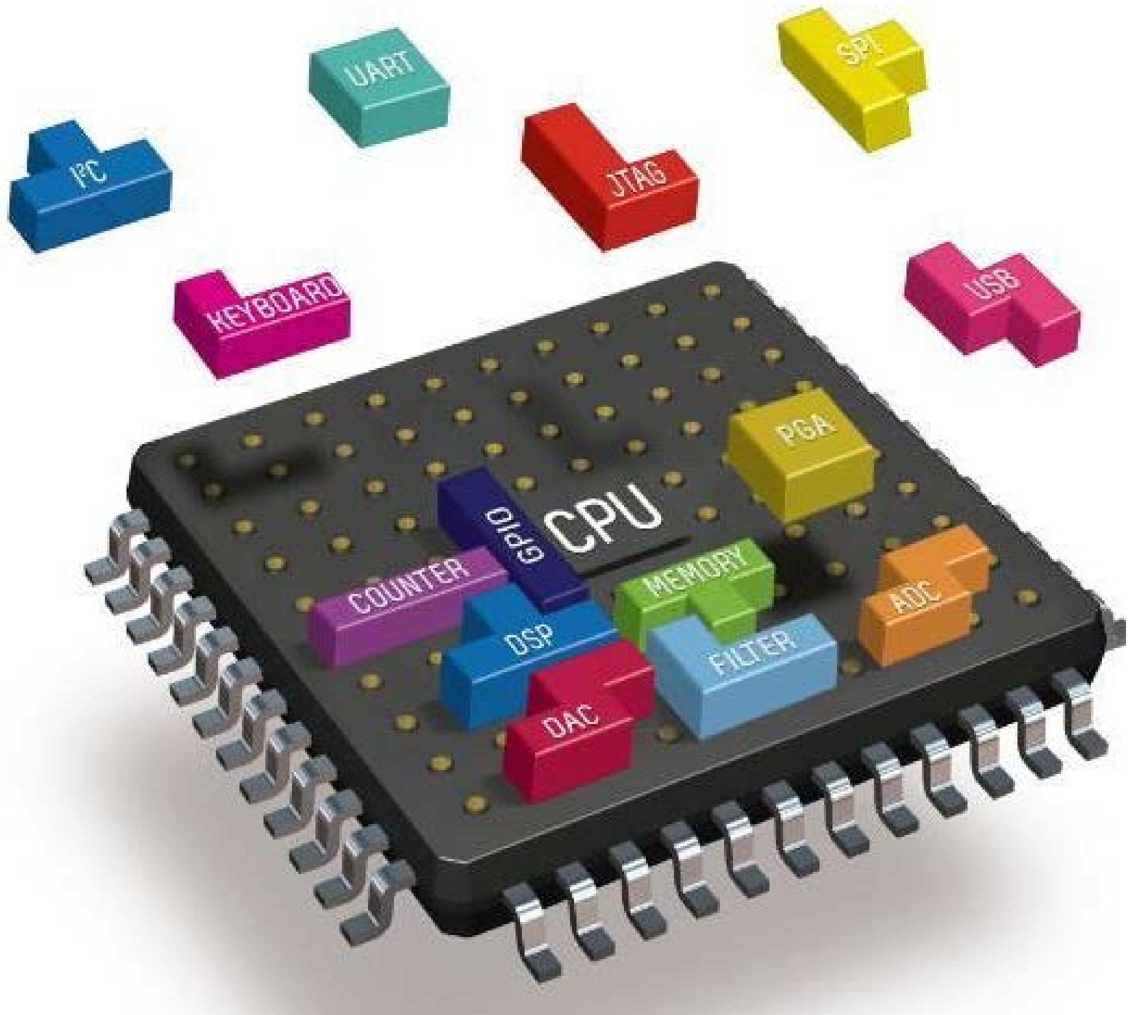
Βασικές Δομές Ενσωματωμένων Συστημάτων

Κωδικός Βιβλίου στον Εύδοξο: 22767325
Έκδοση: 1/2012
Συγγραφείς: Κωνσταντίνος Καλοβρέκτης
ISBN: 978-960-7996-48-0
Τύπος: Σύγγραμμα
Διαθέτης (Εκδότης): Μαρκέλλα Ι. Βαρβαρήγου

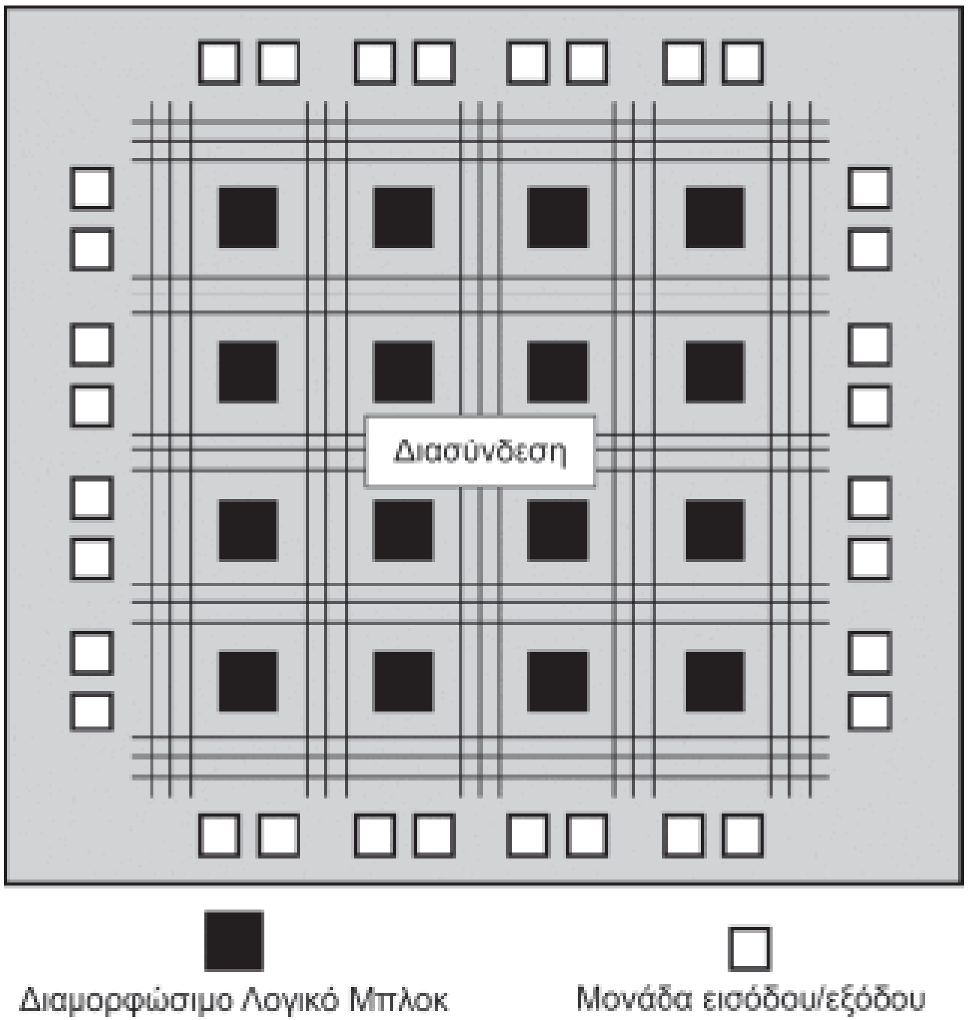


ΕΝΟΤΗΤΑ 8

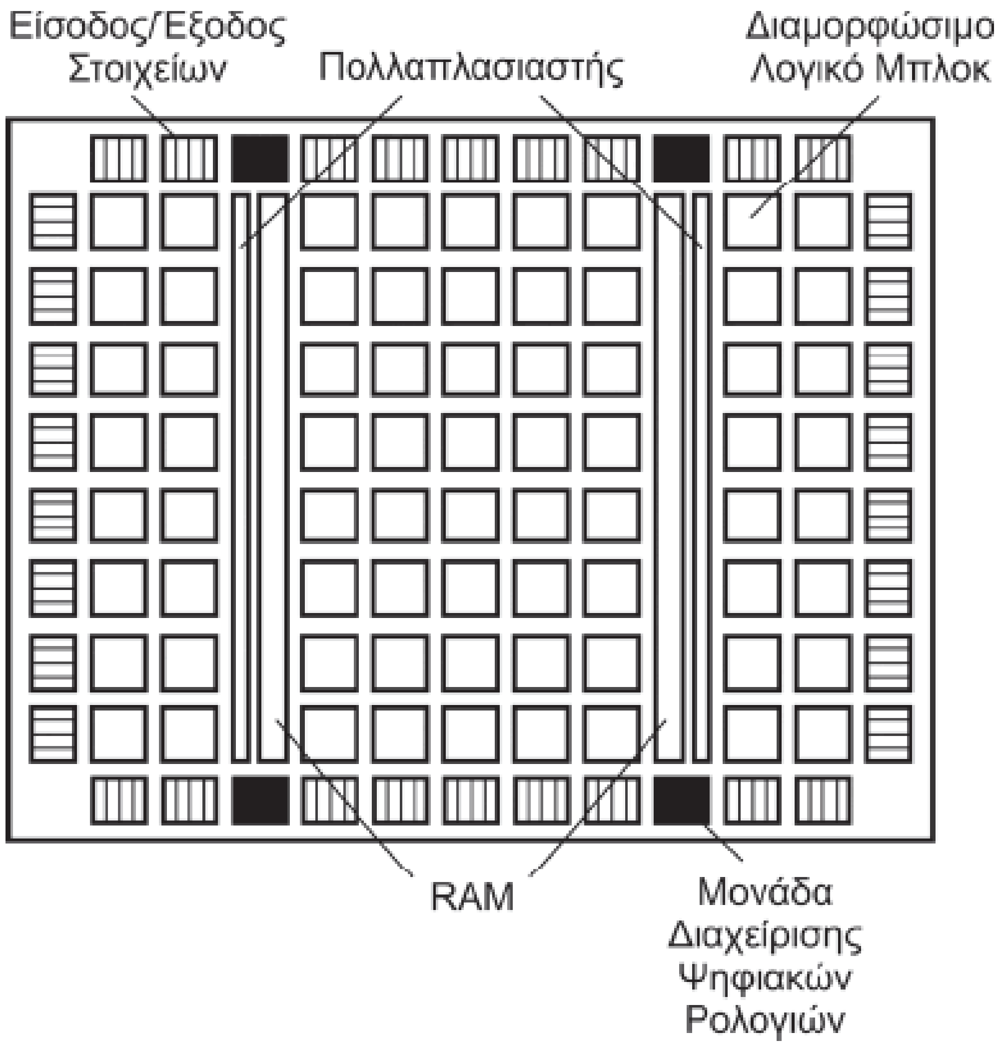
Διατάξεις αναδιατασσόμενου προγραμματιζόμενου πεδίου πυλών



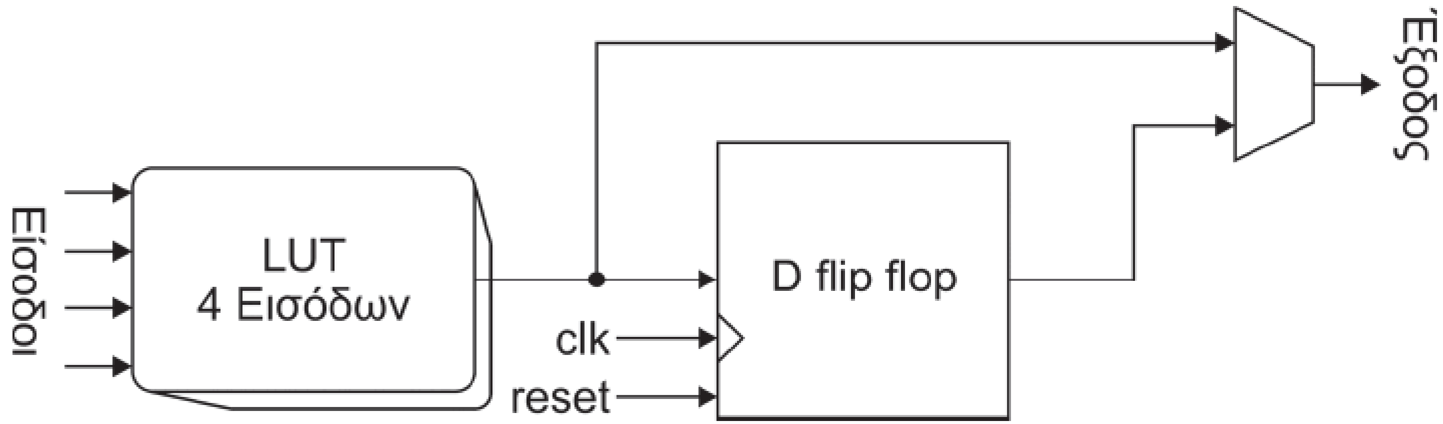
Η δομή ενός FPGA



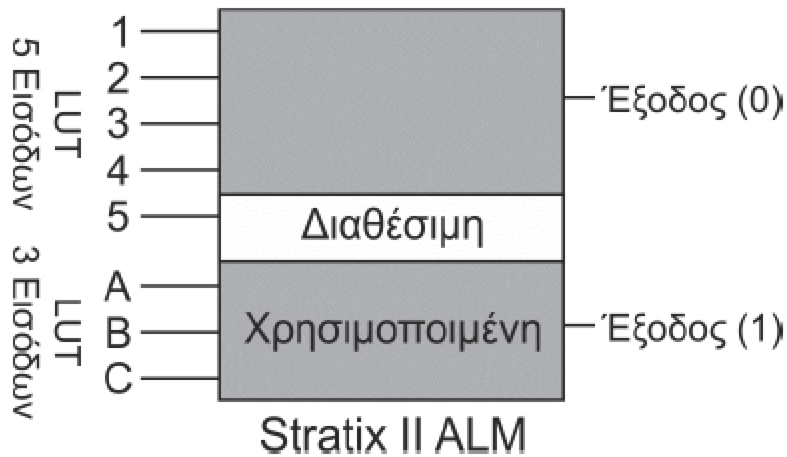
Διαγραμμική δομή στοιχείου FPGA με ενσωματωμένα μπλοκ μνήμης RAM, πολλαπλασιαστών και μονάδων διαχείρισης ρολογιών



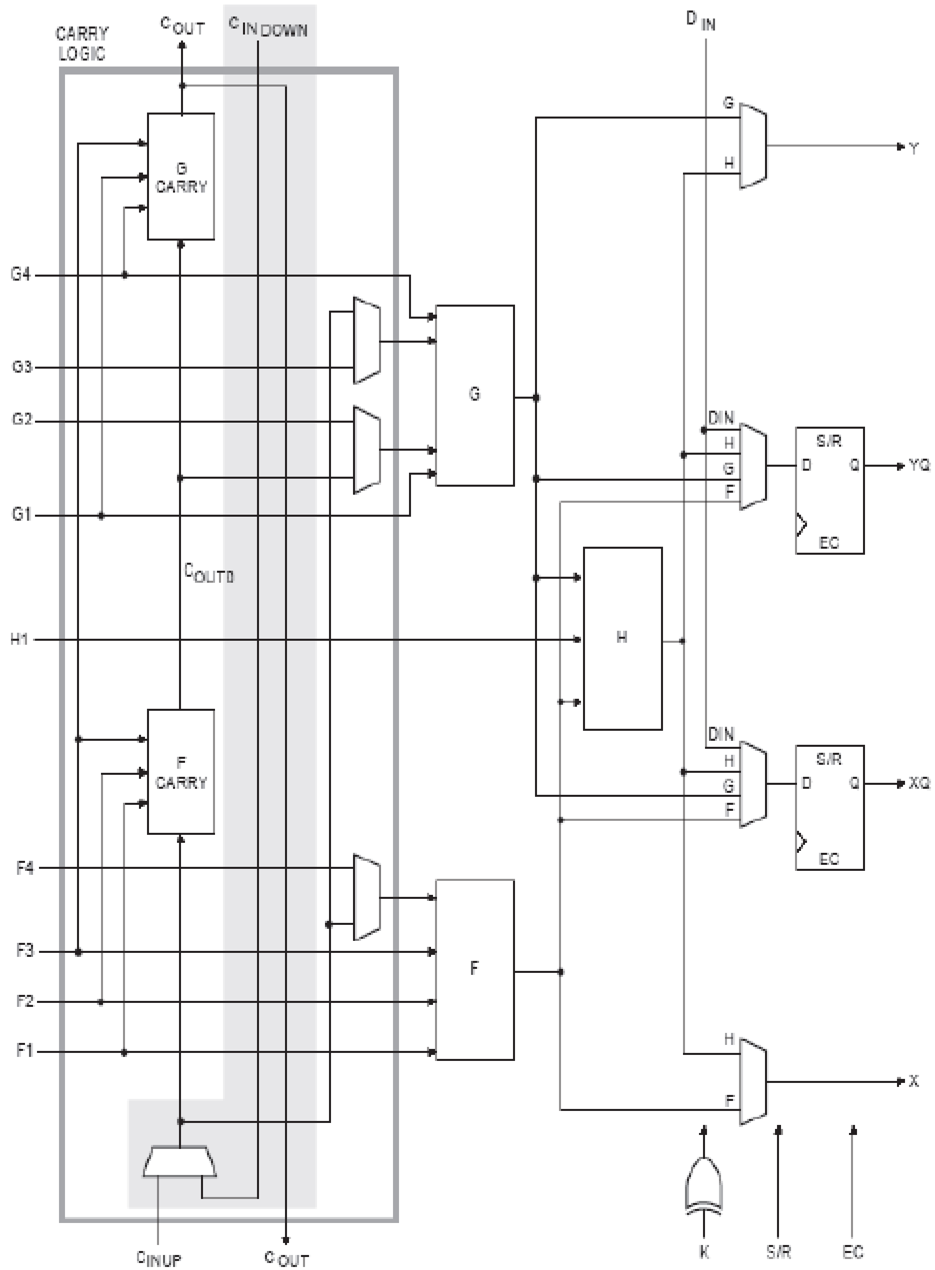
Διαμορφώσιμο λογικό μπλοκ



❑ Μπλοκ διάγραμμα μονάδας ALM με χρήση δύο LUT

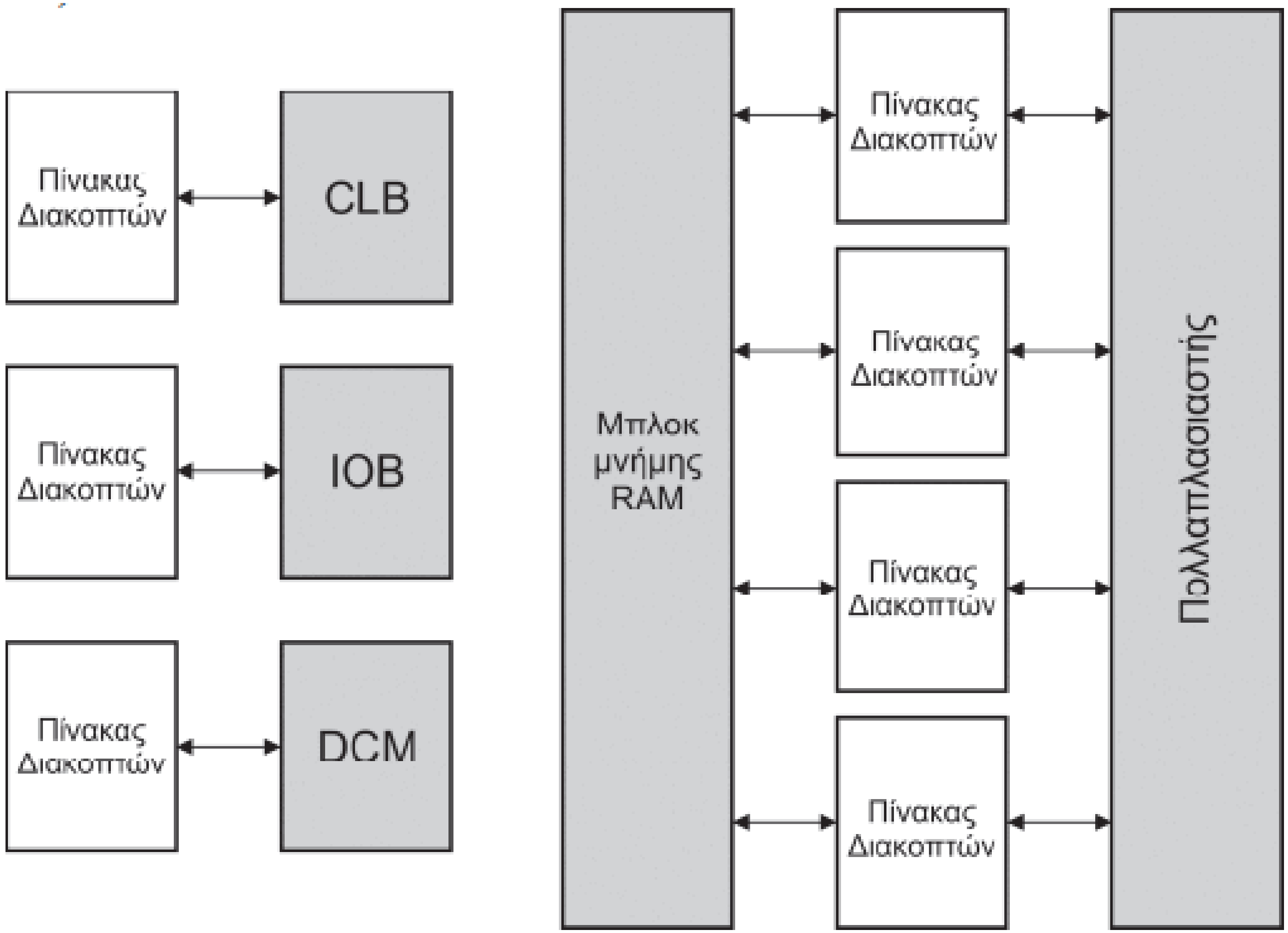


FPGA Spartan-II της Xilinx στο πακέτο XC4000



❑ Προγραμματιζόμενος πίνακας διακοπτών

Διάγραμμα διασύνδεσης στοιχείων CLB, RAM, και πολλαπλασιαστών με προγραμματιζόμενους λογικού διακόπτες.



❑ Γραμμές

Το πλήθος των γραμμών που φέρει ένα FPGA διαφέρουν μεταξύ τους ως προς:

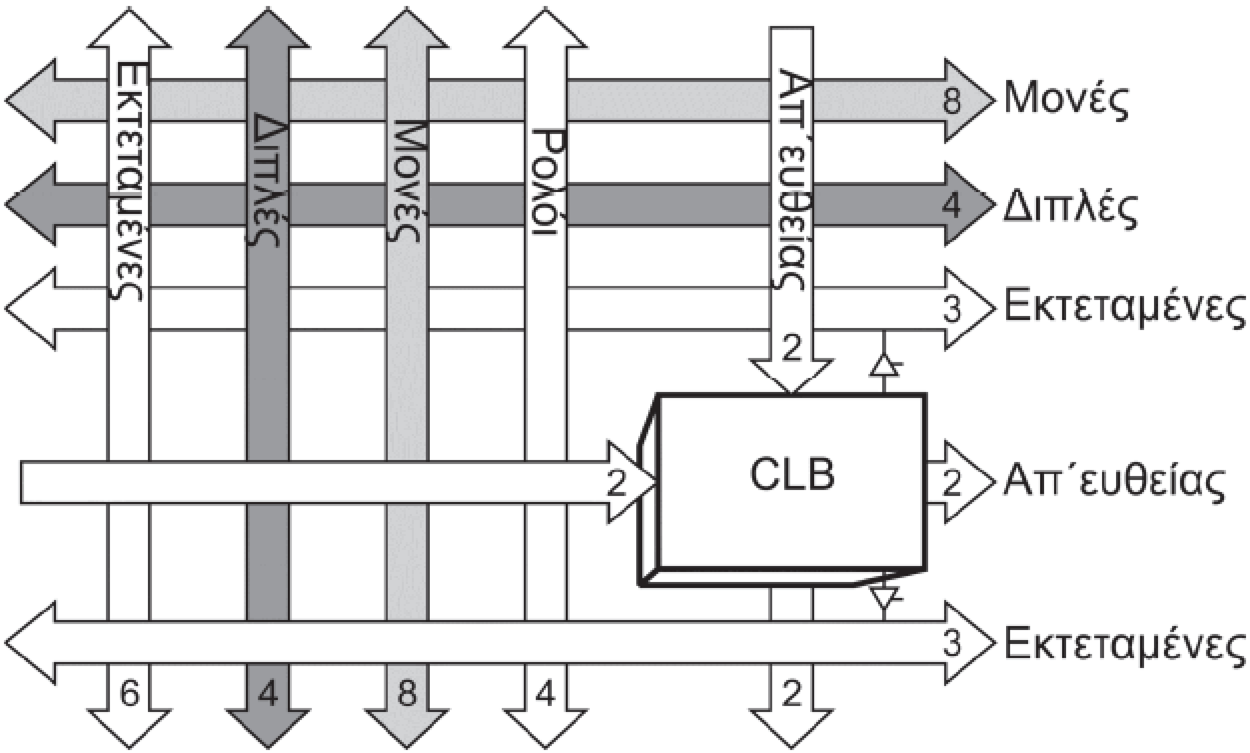
- ❑τον αριθμό τους,
- ❑την ταχύτητα μεταφοράς δεδομένων,
- ❑την χωρητικότητα καθώς και
- ❑την απόσταση διασύνδεσης των δύο στοιχείων CBL.

Για παράδειγμα από την κατασκευάστρια εταιρείας Xilinx για το ολοκληρωμένο XC4000X παρέχονται οι παρακάτω τύποι γραμμών:

- ❑8 κάθετες και 8 οριζόντιες μονές γραμμές (single lines)
- ❑4 κάθετες και 4 οριζόντιες διπλές γραμμές (double lines)
- ❑6 κάθετες και 6 οριζόντιες εκτεταμένες γραμμές (long lines)
- ❑8 σφαιρικές γραμμές ρολοιού
- ❑1 γραμμή κρατουμένου (carry)
- ❑2 γραμμές απευθείας σύνδεσης

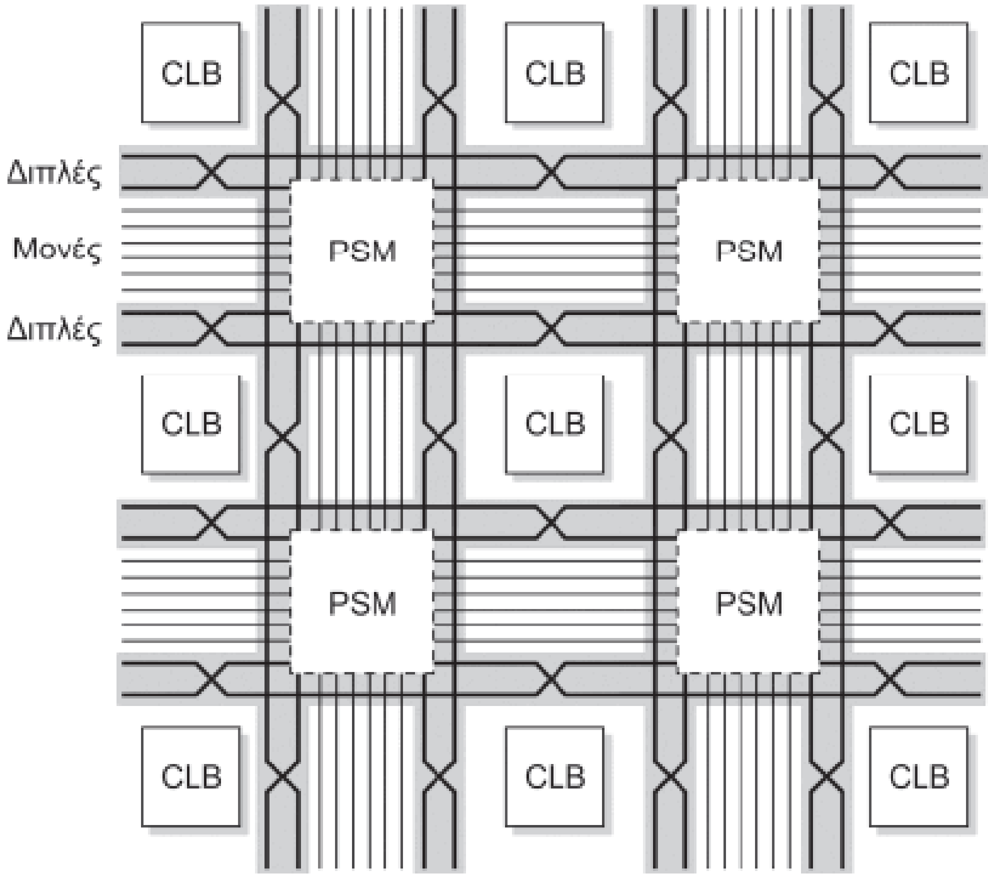
❑ Γραμμές

Για παράδειγμα μέσω μιας μεγάλης απόστασης γραμμή (long lines), μπορούμε να συνδέσουμε δύο CLB σε απόσταση μεταξύ έξι στοιχείων CBL, ενώμέσω των μονών μπορούμε να συνδέσουμε μεταξύ τους δύο CLB.



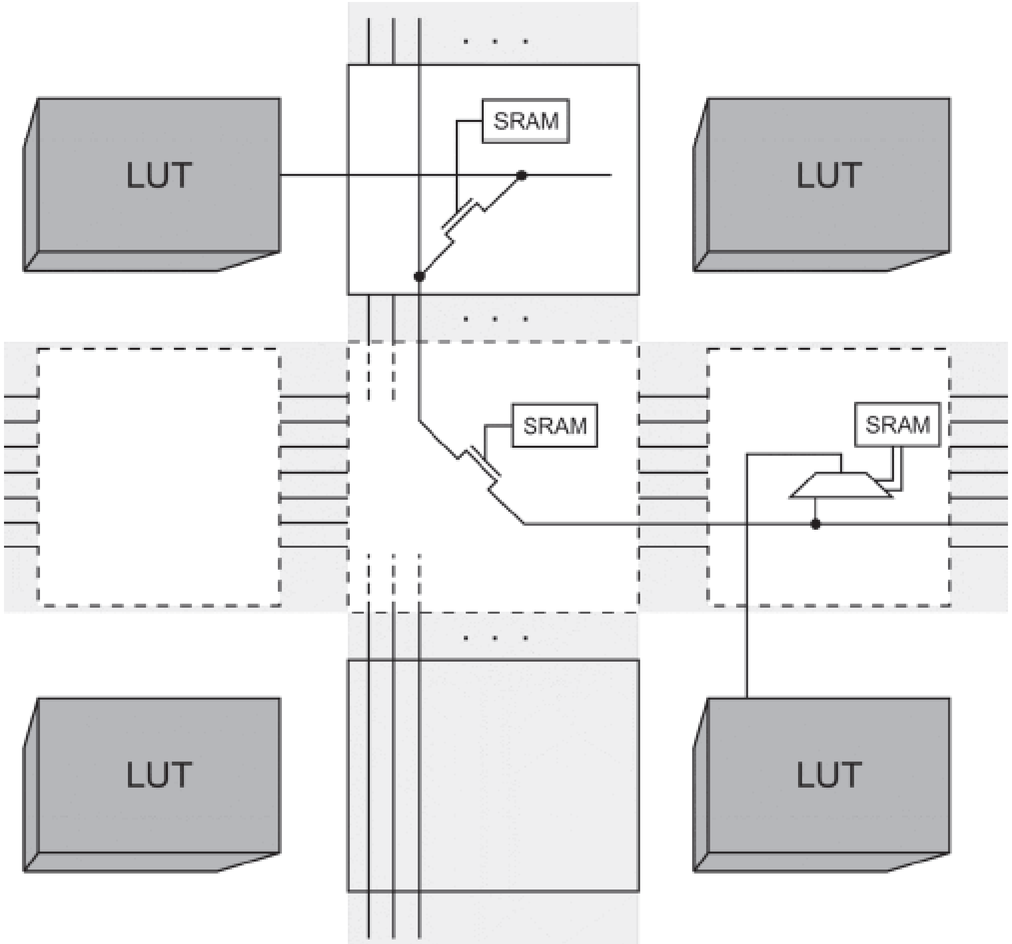
❑ Προγραμματιζόμενος πίνακας διακοπτών

Για τη διασύνδεση των στοιχείων CLB χρησιμοποιούνται προγραμματιστικές γραμμές (Programmable Switch Matrix, PSM) οι οποίες βρίσκονται μεταξύ των στοιχείων CLB και των γραμμών διασύνδεσης



❑ Προγραμματιζόμενος πίνακας διακοπτών

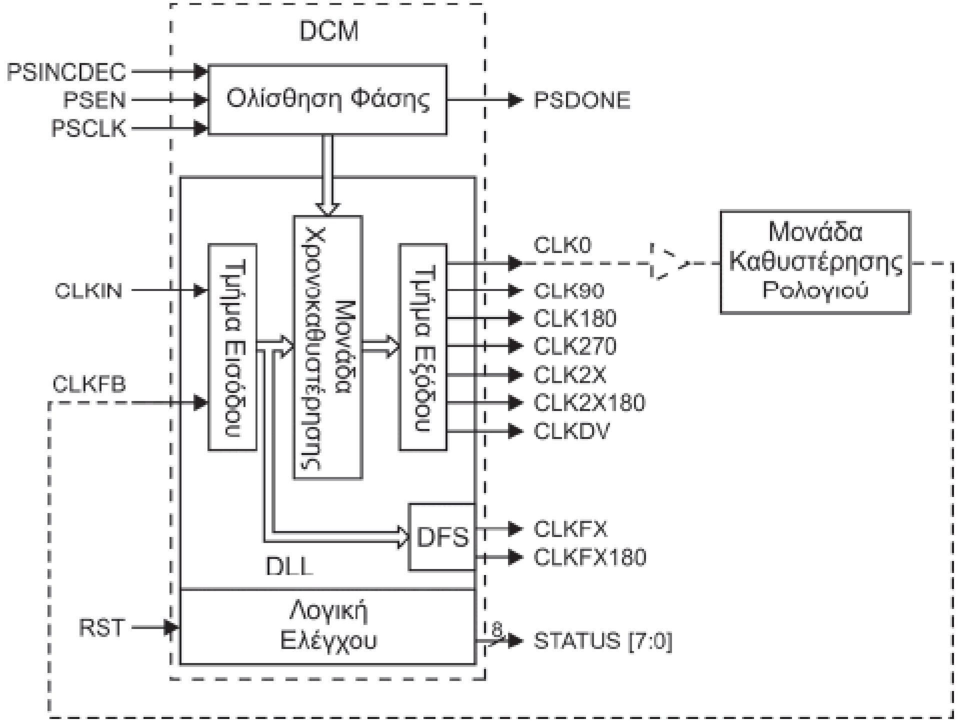
Διάγραμμα προγραμματισμένη σύνδεσης μεταξύ LUT



Μονάδα διαχειρίσεις ρολογιού

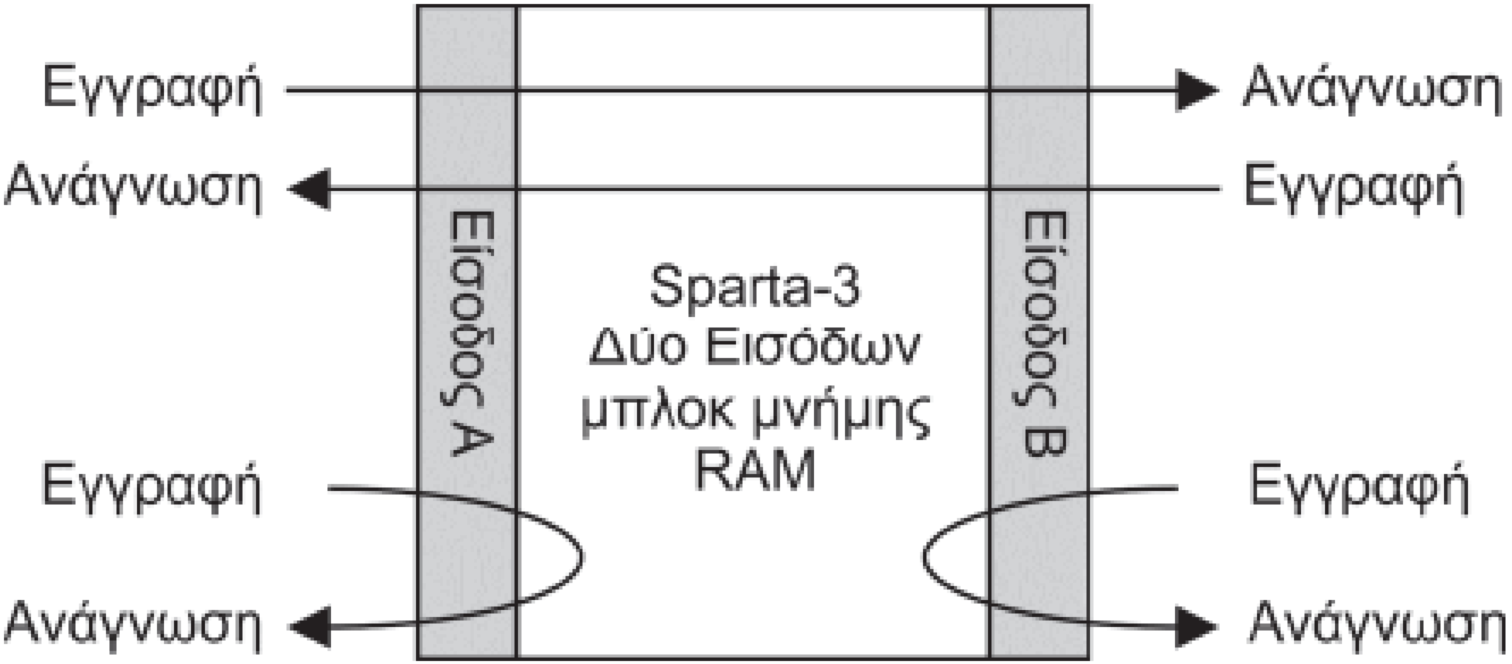
Προγραμματιστική δυνατότητα για:

- τον καθορισμό της οδήγησης
- την καθυστέρηση, τη μετατόπιση φάσης
- τον πολλαπλασιασμό, και την
- διαίρεση της συχνότητας του/των ρολογιών που θα φέρει η εφαρμογή.



Διάγραμμα μονάδας DCM

Μπλοκ μνήμης RAM



Προγραμματισμός FPGA

Η αυτοματοποίηση της υλοποίησης ενός κυκλώματος από μία γλώσσα περιγραφή υλικού περιλαμβάνει:

1. Τη συγγραφή του κώδικα με γλώσσα περιγραφής υλικού.

2. Τον έλεγχο της λειτουργίας του κώδικα μέσω ειδικών λογισμικών προσομοίωσης (test bench). Κατά την προσομοίωση δημιουργείται κώδικας ο οποίος παράγει κατάλληλα σήματα – ερεθίσματα στις εισόδους του αναδιατασσόμενου υλικού.

3. Τη σύνθεση μέσα από την οποία δημιουργούνται οι κατάλληλες δομικές μονάδες σε αρχείο netlist.

4. Την υλοποίηση που περιλαμβάνει τη δημιουργία του τελικού αρχείου bitstream για την αναδιάταξη του στοιχείου.

Πρότυπο JTAG

Ο προγραμματισμός ενός στοιχείου FPGA γίνετε με χρήση πρωτοκόλλου JTAG το οποίο διεκπεραιώνεται από εσωτερικό ελεκτή (TAP) που φέρει το στοιχείο FPGA.

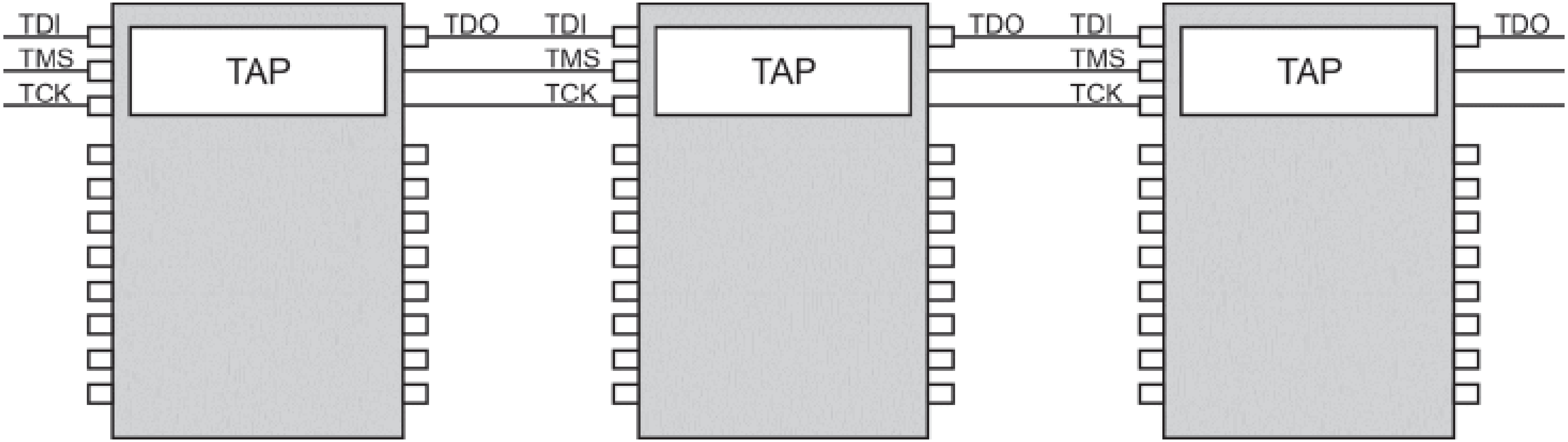
Το πρότυπο JTAG (Joint Test Action Group) αποτελεί το πρωτόκολλο IEEE 1149.1 το οποίο αναπτύχθηκε αρχικά για την εξσφαλμάτωση ηλεκτρονικών διατάξεων μέσω σάρωσης ορίων (Boundary Scan).

Το πρότυπο JTAG φέρει τα παρακάτω σήματα:

- TDI (Test Data In) : δεδομένα εισόδου
- TDO (Test Data Out) : δεδομένα εξόδου
- TMS (Test Mode Select): επιλογέας
- TCK (Test Clock) : ρολόι
- TRST (Test Reset) : επανεκκίνηση

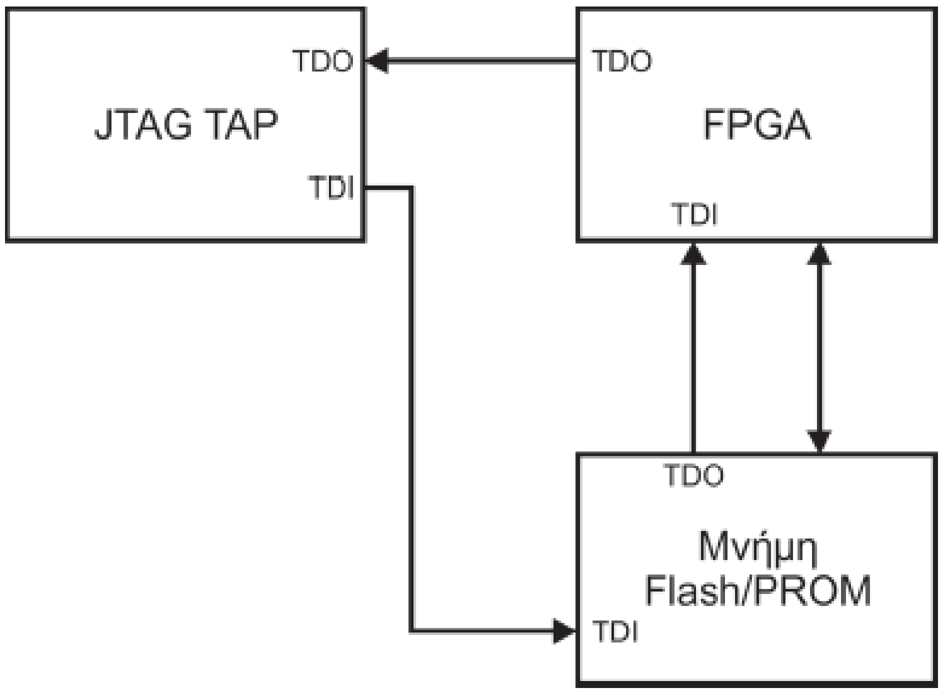
Πρότυπο JTAG

Τεχνική JTAG αλυσίδας σε προγραμματισμό μονάδων FPGA.



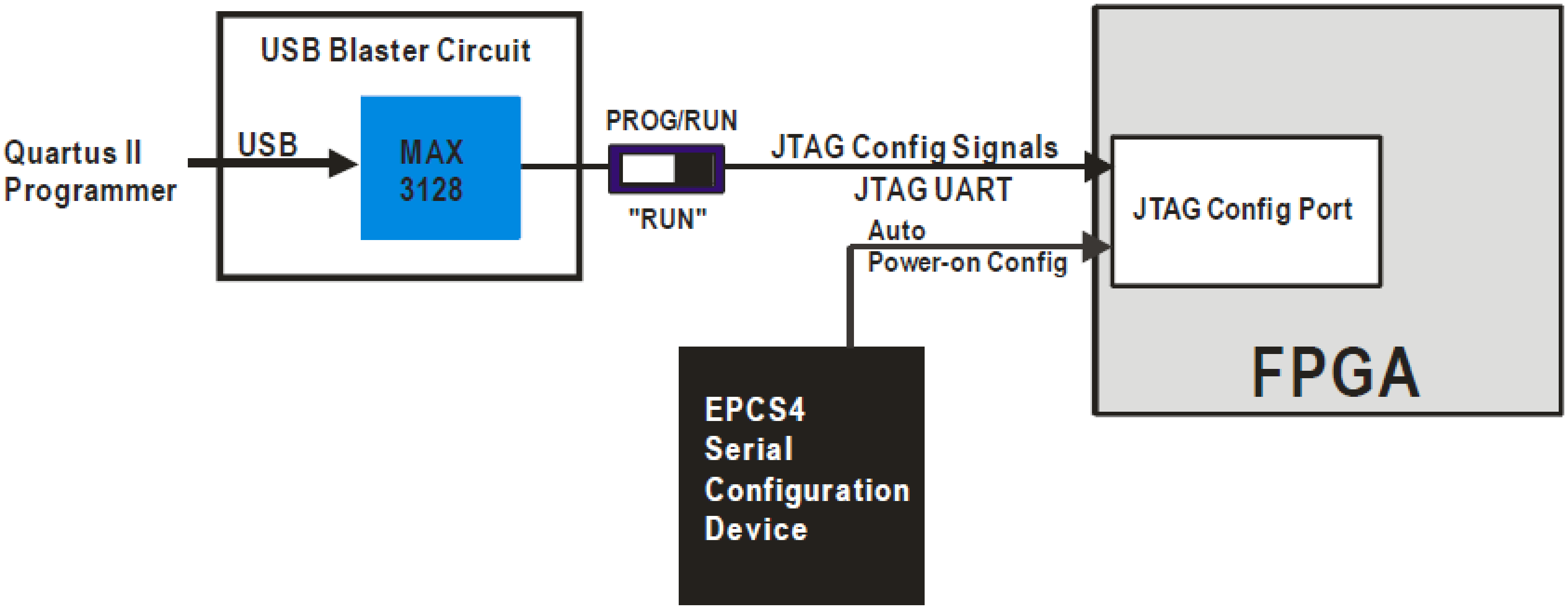
Πρότυπο JTAG

Τεχνική JTAG αλυσίδας σε προγραμματισμό FPGA που φέρει μνήμη boot-PROM.

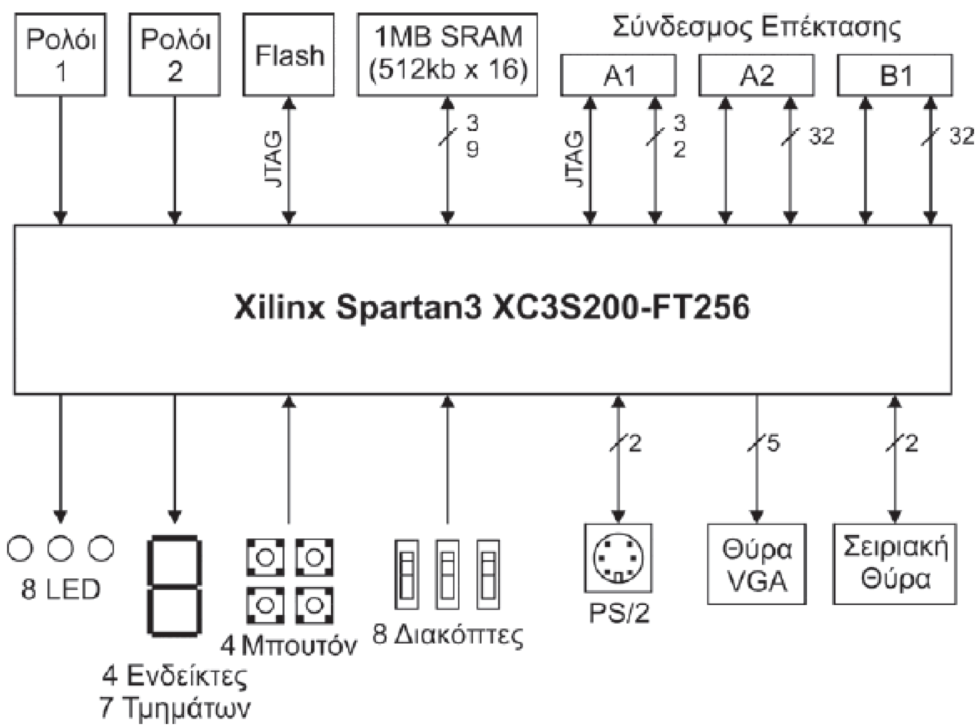


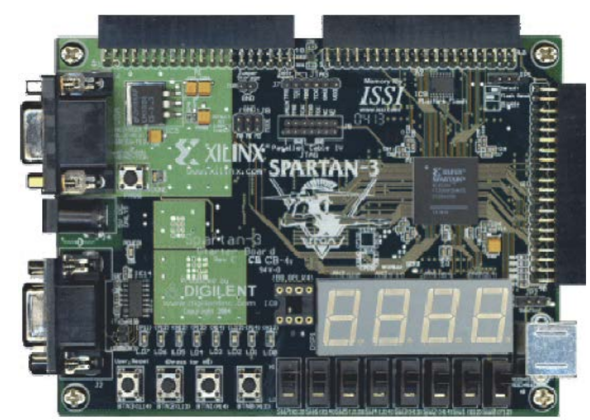
Πρότυπο JTAG

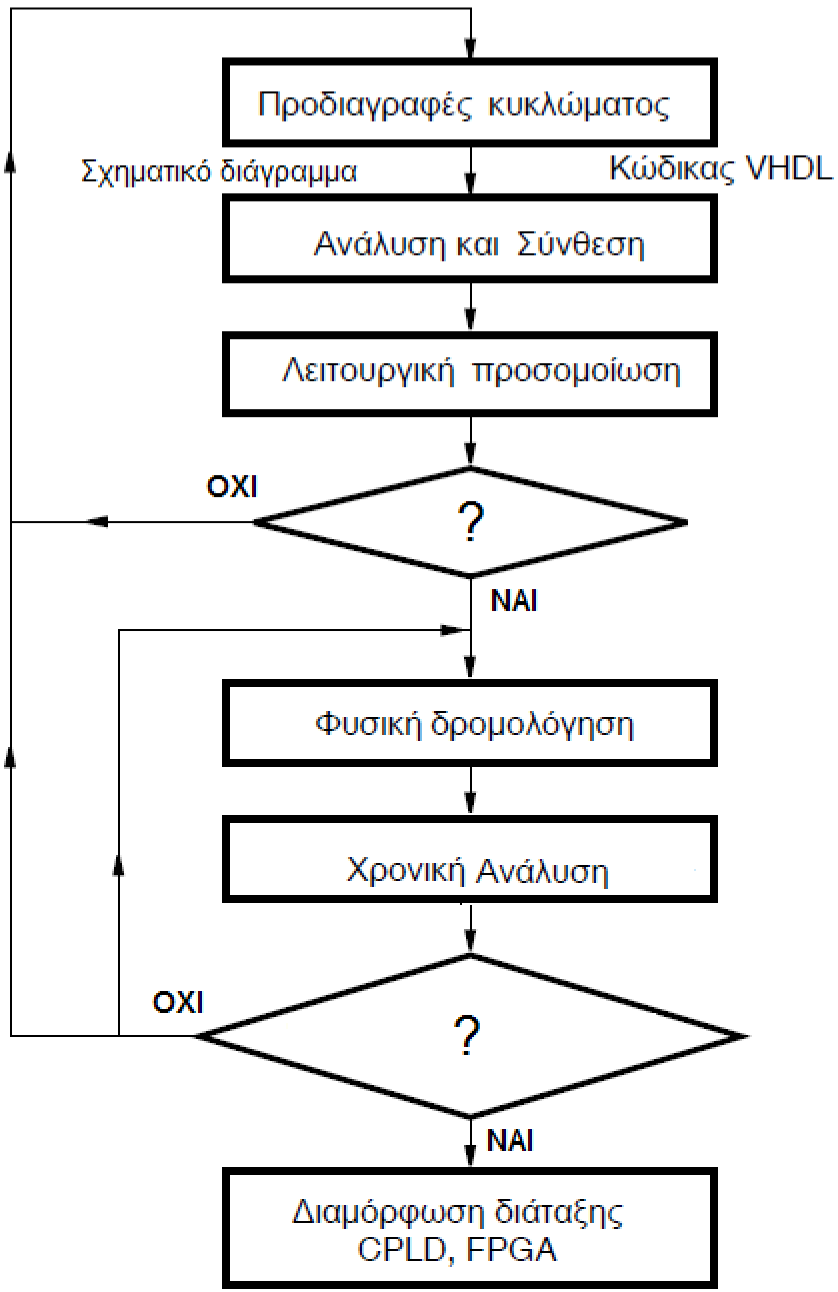
Τεχνική JTAG αλυσίδας σε προγραμματισμό FPGA που φέρει μνήμη boot-PROM.

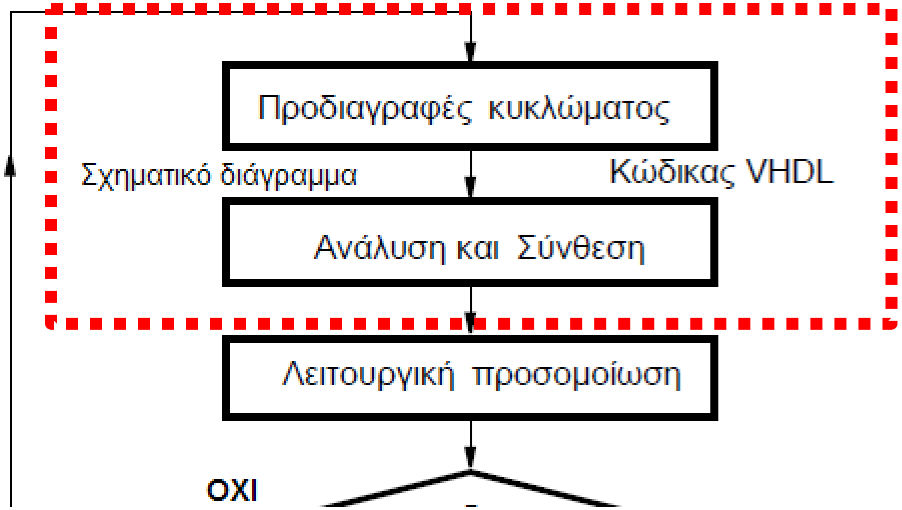


Τυπικό δείγμα FPGA
και προγραμματίστρια της εταιρείας Xilinx.






Προδιαγραφές κυκλώματος
Σχηματικό διάγραμμα
Κώδικας VHDL
Ανάλυση και Σύνθεση
Λειτουργική προσομοίωση
ΟΧΙ
?
ΝΑΙ
Φυσική δρομολόγηση
Χρονική Ανάλυση
ΟΧΙ
?
ΝΑΙ
Διαμόρφωση διάταξης
CPLD, FPGA



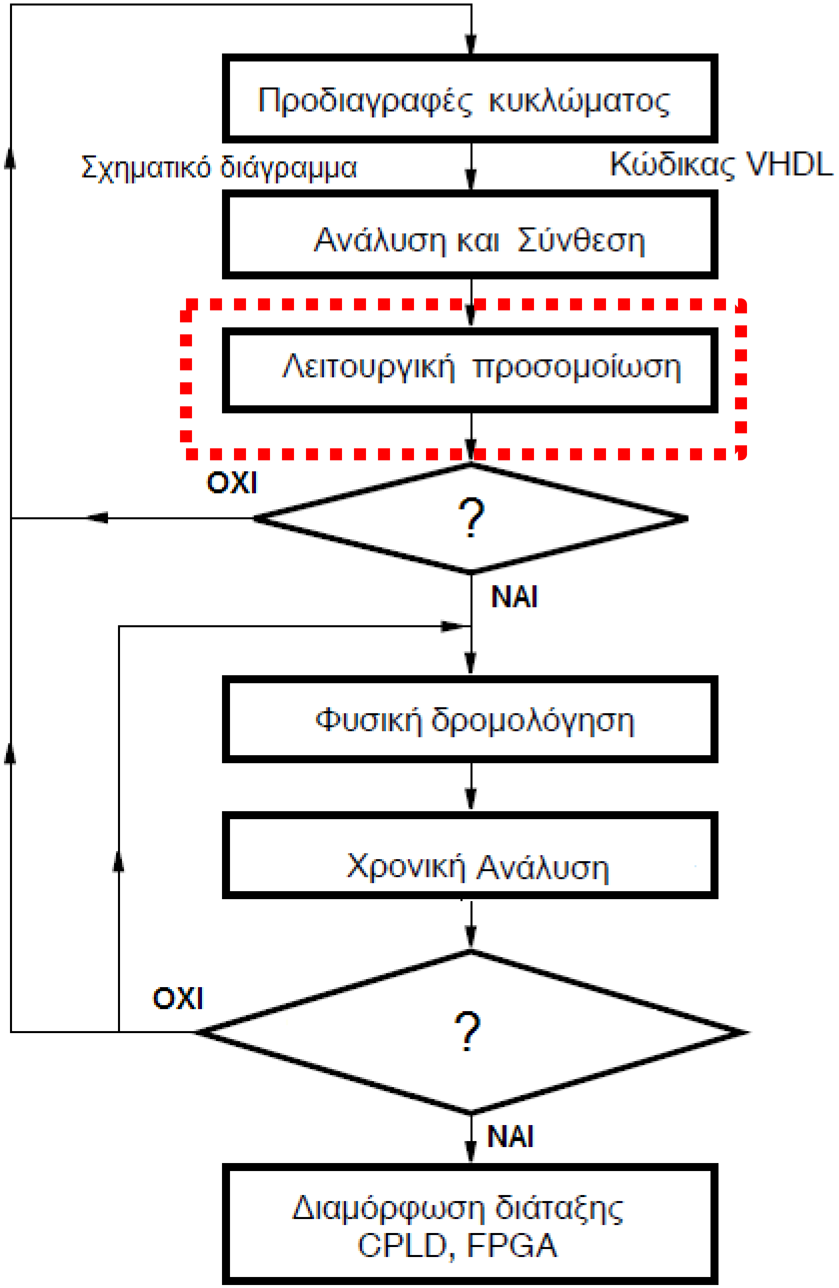
Προδιαγραφές Λειτουργίας.
Κόστος Υλοποίησης.
Τεχνολογία (ASIC/ FPGA).
Παροχείς FPGA Τεχνολογίας.
Οικογένεια των FPGA.
Χρόνος Ανάπτυξης.

Επιλογή της μεθοδολογίας ορισμού του κυκλώματος.

- Σχηματικά.
- Γλώσσες Περιγραφής Υλικού (πχ Verilog, VHDL).
- Σχηματικά και Γλώσσα Περιγραφής Υλικού.

Διαχείριση της Ιεραρχίας του υπό-σχεδίαση κυκλώματος.

- Καταμερισμός των λειτουργιών σε υπο-κυκλώματα.
- Χρήση των βιβλιοθηκών της τεχνολογίας για μείωση του χρόνου σχεδίασης.
- Δημιουργία και διαχείριση των υποκυκλωμάτων.



Προετοιμασία για Εξομοίωση.

- Ορισμός των κυματομορφών για τα σήματα εισόδου.

Έλεγχος των Αποτελεσμάτων.

- Πιστοποίηση της λειτουργίας του κυκλώματος σύμφωνα με τις προδιαγραφές.

Δημιουργία Λίστας Διασυνδέσεων.

Έλεγχος του κυκλώματος σύμφωνα με τους κανόνες που ορίζονται από την τεχνολογία που χρησιμοποιείται.

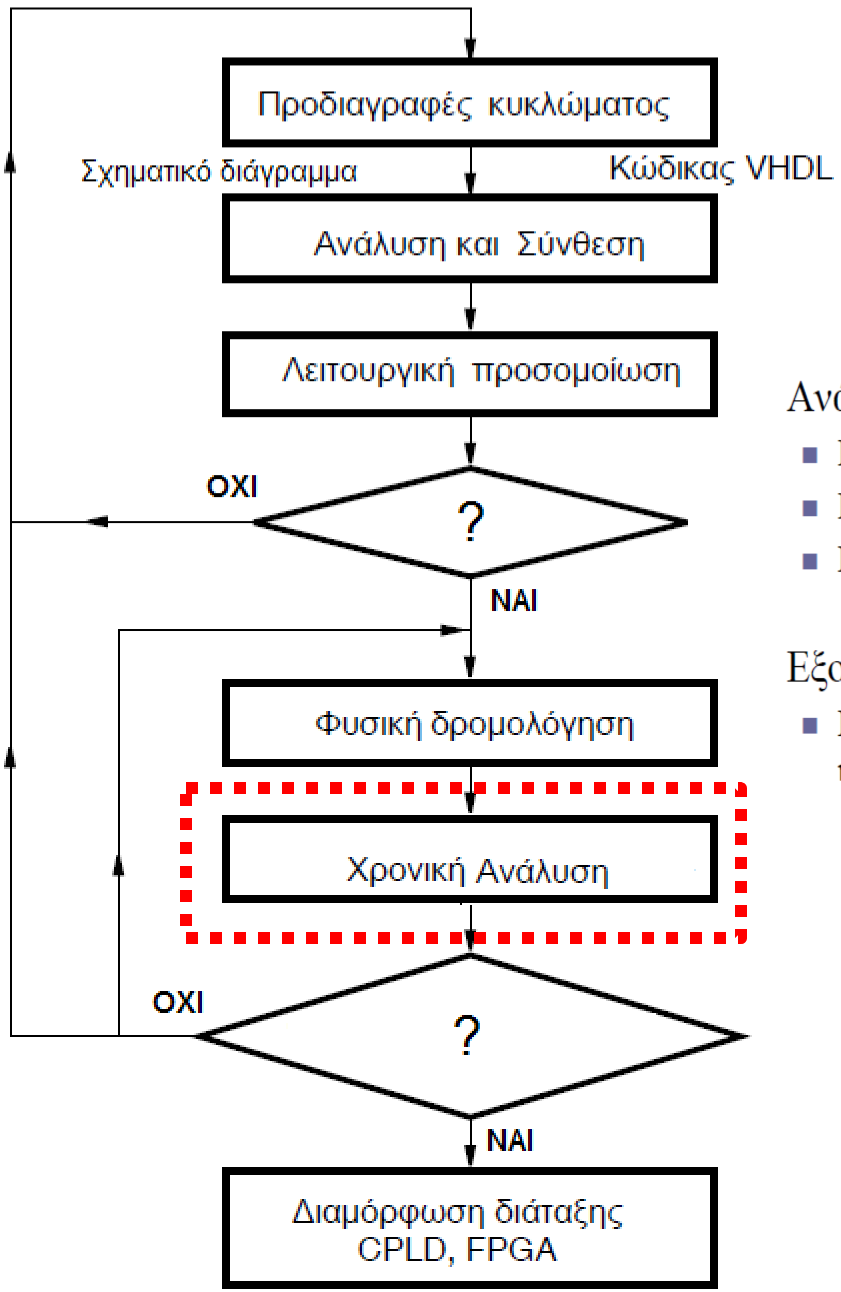
Βελτιστοποίηση των Λογικών Πυλών,

Αντιστοίχηση με τα δομικά υλικά που παρέχει η τεχνολογία.

Τοποθέτηση.

Διασύνδέσεις.

Παραγωγή της ακολουθίας των bit που θα χρησιμοποιηθούν για τη διαμόρφωση της λειτουργίας της διάταξης.



Ανάλυση των Χρονισμών.

- Εξέταση των χρονικών περιορισμών.
- Εμφάνιση αναλυτικής λίστας των χρονισμών όλων των μονοπατιών.
- Προσδιορισμός το πιο κρίσιμου μονοπατιού.
  - Καθορισμός της μέγιστης συχνότητας καλής λειτουργίας του κυκλώματος.

Εξομοίωση των Χρονισμών.

- Πιστοποίηση τόσο της χρονικής όσο και της λειτουργικής συμπεριφοράς του κυκλώματος σύμφωνα με τις προδιαγραφές.

Graphic Editor (Γραφικός Επεξεργαστής)

Ένας σχηματικός επεξεργαστής που επιτρέπει οπτική αναπαράσταση του σχεδιασμού ενός λογικού κυκλώματος.

Compiler (Συμβολομεταφραστής)

Η καρδιά του Quartus II. Μεταφράζει αρχεία λογικού σχεδιασμού (design files) σε προγραμματιστικά αρχεία που μπορούν να προσομοιωθούν και να υλοποιηθούν στην πλακέτα της Altera DE1 που παρέχεται.

Message Processor (Επεξεργαστής Μηνυμάτων)

Παραθέτει λάθη, warnings και πληροφοριακά μηνύματα που αφορούν το project σας. Επίσης, προσφέρει γρήγορη πρόσβαση στο σημείο απ’ όπου πηγάζει το μήνυμα, αλλά και σε βοήθεια που αφορά το μήνυμα.

Waveform Editor (Επεξεργαστής Κυματομορφών)

Ένα εργαλείο για δημιουργία κυματομορφών εισόδου, και για οπτική απεικόνιση της συμπεριφοράς του σχεδιασμού που προσομοιώνεται, όταν εφαρμόζεται συγκεκριμένη είσοδος.

Simulator (Προσομοιωτής)

Επιτρέπει την προσομοίωση της λειτουργίας και του χρονισμού ενός ψηφιακού λογικού σχεδιασμού.